

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-228776

(43)Date of publication of application : 22.12.1984

(51)Int.Cl.

H01L 33/00

(21)Application number : 58-102865

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 10.06.1983

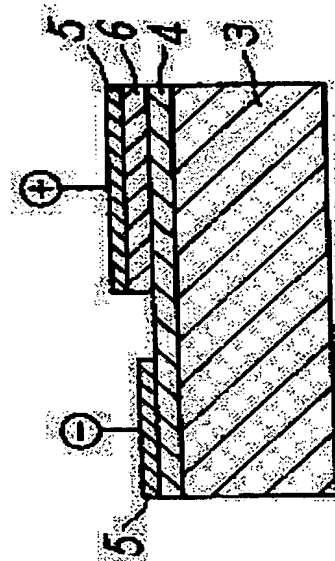
(72)Inventor : MAEBOTOKE SAKAE
EDAHIRO TAKAO
NODA JUICHI

(54) SEMICONDUCTOR HETERO-JUNCTION ELEMENT

(57)Abstract:

PURPOSE: To obtain high efficiency light emitting element in a visible range near blue range by forming a single hetero-junction from N type $\text{Al}_x\text{Ga}_{1-x}\text{N}$ film and P type $\text{Al}_y\text{Ga}_{1-y}\text{N}$ film.

CONSTITUTION: An N type $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x < 1$) film 4 is formed on an insulating substrate 3. Then, an ohmic electrode 5 is formed on the film 4. A P type $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) film 6 is accumulated on the film 4 to form a single hetero junction. Then, an ohmic electrode 5 is formed on the film 6. When thus formed, a DC voltage of positive polarity is applied to the P type electrode, and a DC voltage of negative polarity is applied to the N type electrode, and a light is emitted at P-N junction. In this manner, a high efficiency light emitting element in visible range near blue range can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—228776

⑪ Int. Cl.³
H 01 L 33/00

識別記号

庁内整理番号
6666—5 F

⑬ 公開 昭和59年(1984)12月22日

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ 半導体ヘテロ接合素子

茨城県那珂郡東海村大字白方字
白根162番地日本電信電話公社
茨城電気通信研究所内

⑮ 特 願 昭58—102865

⑯ 出 願 昭58(1983)6月10日

⑰ 発 明 者 前佛栄

茨城県那珂郡東海村大字白方字
白根162番地日本電信電話公社
茨城電気通信研究所内

⑱ 発 明 者 枝広隆夫

⑲ 発 明 者 野田壽一

茨城県那珂郡東海村大字白方字
白根162番地日本電信電話公社
茨城電気通信研究所内

⑳ 出 願 人 日本電信電話公社

㉑ 代 理 人 弁理士 杉村暁秀 外1名

明 細 書

1. 発明の名称 半導体ヘテロ接合素子

2. 特許請求の範囲

1. n型Ⅲ—V族化合物半導体である

$Al_xGa_{1-x}N$ ($0 \leq x \leq 1$) と、その上のp型Ⅲ—V族化合物半導体である $Al_yGa_{1-y}N$ ($0 < y \leq 1$) とから、シングル・ヘテロ接合を形成することを特徴とする半導体ヘテロ接合素子。

2. n⁺型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜と、その上のn型もしくはp型 $Al_yGa_{1-y}N$ ($0 < y \leq 1, x > y$) 膜と、さらにその上のp⁺型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜とから、またはp⁺型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜と、その上のn型もしくはp型 $Al_yGa_{1-y}N$ ($0 < y \leq 1, x > y$) 膜と、さらにその上のn⁺型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜とから、ダブルヘテロ接合を形成することを特徴とする半導体ヘテロ接合素子。

3. 発明の詳細な説明

本発明は GaN , AlN , $Al_xGa_{1-x}N$ ($0 < x < 1$) などの広バンド・ギャップ (エネルギー・ギャップ

$E_g > 2.5\text{eV}$) Ⅲ—V族化合物半導体のヘテロ接合素子に関するものである。

従来青色領域の可視光発光素子材料として、Ⅲ—V族化合物半導体系として ZnS 、 $ZnSe$ 等、Ⅲ—V族化合物半導体系として GaN 、Ⅳ—Ⅵ族化合物半導体系として SiO 等が取り上げられている。 ZnS 等のⅢ—Ⅵ族系の場合、良好な単結晶基板の育成、表面および界面の制御が困難であり、またこの材料の不純物添加に関する強い自己補償効果のためにp型エピタキシャル膜 (以下エピ膜という) を成長させることができない。従つて発光素子を形成するには、MIS構造をとらなければならない。たとえば半導体領域 (S) としてn型 ZnS を用い、絶縁体領域 (I) として ZnO を用い、金属領域 (M) として Au を用いてMIS構造を形成するが、動作電圧が高くまた発光強度も弱く、高効率の発光素子を得ることができないという欠点がある。

GaN 材料は、通常不純物未添加の状態ではNの空格子点のためn型になり、 Zn または Mg などのアクセプター・ドーパントを添加しても、高抵抗になるだけでp型エピ膜を形成することができない。

従つて GaN の場合も通常は発光素子として M I S 構造をとる。たとえば (S) 層としてノンドープ GaN を用い、(I) 層として Zn 添加 GaN を用い、(N) として In を用いて M I S を形成するが、動作電圧が 7.5 ~ 10 V と高くなる欠点がある。SiC 材料は、通常アクセプターとして Al、ドナーとして N を添加して pn 接合を形成することができるが、結晶多形の制御が困難であるうえに、発光機構がバンド間の間接遷移によるので、発光効率が低いという欠点がある。

本発明はこれらの欠点を解決するために、 Al_xN_{1-x} 、 $Al_xGa_{1-x}N$ ($0 < x < 1$) が p, n 両型形成できると、およびこれらの材料が GaN との格子整合性のよいことに注目して、GaN と $Al_xGa_{1-x}N$ ($0 < x < 1$) とでヘテロ接合素子を形成するようにしたもので、青色領域近傍の可視光領域での高効率な発光素子を得ることを目的とする。

第 1 図は本発明のヘテロ接合素子を設計するために用いる $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$) の格子定数および光学吸収端の組成 x に対する依存性と

$Al_yGa_{1-y}N$ ($0 \leq y \leq 1$) の格子定数および光学吸収端の組成 y に対する依存性を示した図であつて、1 は格子定数、2 は光学吸収端の組成依存性をそれぞれ示す。

たとえば活性層 $Al_yGa_{1-y}N$ ($0 \leq y \leq 1$) の組成 y を 0.2 に設定し、 $Al_xGa_{1-x}N$ ($0 < x \leq 1$, $x > y$) とのヘテロ接合形成の格子不整合を 0.2 % 以内に設計するには、第 1 図を利用してまず $y = 0.2$ のときの格子定数 (5.18 Å) を読み取り、0.2 % 以内の格子不整合の格子定数 (5.18 Å から 5.18 Å の範囲) を求め、そして粗度 x ($0.20 < x < 0.25$) を決定する。

本発明の素子の作製を以下の各実施例について説明する。

実施例 1

第 2 図は絶縁性基板上に作成したシングル・ヘテロ接合素子の実施例の側断面図であつて、3 は絶縁性基板、4 は n 型 GaN または n 型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜、5 はオーミック電極、6 は p 型 $Al_yGa_{1-y}N$ ($0 < y \leq 1$) 膜である。絶縁性基板としては、G 面サファイア基板、R 面サファイア基板、SiC 基板、AlN 基板を用いる。n 型 GaN

膜は気相エビタキシャル法で数 μm 厚に形成する。気相エビタキシャル法としては、キャリアガスとして N_2 を用い、金属 Ga と $HOCl$ を反応させて Ga の塩化物である $GaCl_3$ を形成せしめ、これを NH_3 ガスと熱分解反応させて GaN エピ膜を成長させる方法、またはキャリアガスを N_2 または H_2 として $(CH_3)_3Ga$ などの有機金属を NH_3 ガスと熱分解反応させて GaN エピ膜を成長させる方法を用いる。基板温度は前者の方法による場合 1000 °C ~ 1100 °C に設定し、後者の場合は 700 °C 以下適当な温度に設定する。通常、このようにして作られたノンドープ GaN エピ膜は、N-空格子点の影響で n 型になつており、キャリア濃度 $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 、特にドナーを添加せず、そのまま n 型エピ膜として用いる。n 型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) エピ膜の成長は、前記 n 型 GaN 気相エビタキシャル法に、塩化物の場合は $AlCl_3$ を、有機金属の場合は、 $(CH_3)_3Al$ を加えて行われる。

n 型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) の場合、ドナーとして Si または SiH_4 などのガスを用いて添加する。組成 x は

Al および Ga に関するガス流量比を制御することと定められる。p 型 $Al_yGa_{1-y}N$ ($0 < y \leq 1$) エピ膜は、前記 n 型の場合と同様の気相エビタキシャル法を用い、アクセプターとして Al 置換体である Be, Mg, Zn や N 置換体である O を添加して形成し、n 型エピ膜上に堆積させてヘテロ接合を形成せしめる。オーミック電極は金属 In を真空蒸着法により第 2 図に示すように、p 型 $Al_yGa_{1-y}N$ ($0 < y \leq 1$) と n 型 GaN または n 型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) の上に取り付けられる。

このシングル・ヘテロ接合素子を動作させるには、第 2 図に示すように、p 型上の電極に+極性、n 型上の電極に-極性の直流電圧を付加し、p-n 接合部で発光させる。付加電圧は青色発光波長に対応するエネルギー ($\geq 2.5 \text{ eV}$ を目安にすればよく、2.5 ~ 3 V に設定され、従来の M I S 構造に比べて $1/3 \sim 1/4$ の印加電圧ですむ。電流は 10 mA ~ 100 mA である。

実施例 2

第 3 図は導電性基板上に作製したシングル・ヘ

テロ接合素子の実施例の側断面図であつて、7は導電性基板、8は導電性基板側に取り付けたオーミック電極、4、5および6は各々実施例1で述べたn型Ga_{1-x}Nまたはn型Al_xGa_{1-x}N(0<x≤1)膜、オーミック電極、p型Al_yGa_{1-y}N(0<y≤1)膜である。導電性基板としては導電率数Ω/cmのn型Si基板を用いる。この導電性基板上に、実施例1で述べた方法によりn型Ga_{1-x}Nまたはn型Al_xGa_{1-x}N(0<x≤1)エピ膜上にp型Al_yGa_{1-y}N(0<y≤1)エピ膜を実施例1で述べたのと同じ膜厚で成長させ、ヘテロ接合を形成せしめる。エピ膜側のオーミック電極としては実施例1と同じく、金属Inを真空蒸着法により取り付け形成する。導電性基板側のオーミック電極としては、Auを真空蒸着法により形成する。

このシングル・ヘテロ接合素子を動作させるには、実施例1で述べたのと同様に、第3図に示す極性で2.5～3Vの電圧を印加し発光させる。

実施例8

第4図はサファイア等の絶縁性基板上に作製し

オーミック電極5を真空蒸着により取り付ける。この実施例では、9、10をn⁺型、12をp⁺型にしたが、逆に9、10をp⁺型、12をn⁺型にもできる。

このダブル・ヘテロ接合素子を動作させるには、第4図に示すように、p型上の電極に+極性、n型上の電極に一極性の直流電圧を付加し、p-n接合部で発光させる。この際、活性層の屈折率が両膜接層に比べて大きいので、活性層が導波路となり、光はこの導波路に添って伝搬する。また印加電圧は先のシングル・ヘテロ接合素子に比べ、キャリアの閉込め効果により減少する。

実施例4

第5図は導電性基板上に作製したストライプ構造のダブル・ヘテロ接合素子の実施例の側断面図であつて、7、8は実施例2で述べた導電性基板、導電性基板側電極、9、10、11、12は各々実施例8で述べたn⁺型Al_xGa_{1-x}N(0<x≤1)、n⁺型Al_xGa_{1-x}N(0<x≤1, x>x)、n型またはp型Al_yGa_{1-y}N(0<y≤1, x>y)、p⁺型

たダブル・ヘテロ接合素子の実施例の側断面図であつて、3、5は実施例1で述べた絶縁性基板、オーミック電極、9はn⁺型Al_xGa_{1-x}N(0<x≤1)、10はn⁺型Al_xGa_{1-x}N(0<x≤1, x>x)、11はn型またはp型のAl_yGa_{1-y}N(0<y≤1, x>y)、12はp⁺型Al_xGa_{1-x}N(0<x≤1)である。絶縁性基板8の上に、n⁺型Al_xGa_{1-x}N(0<x≤1)を実施例1と同様の方法により数μm厚に成長させる。n⁺型にするため、n型よりもドナーを多く添加する。この上にn⁺型Al_xGa_{1-x}N(0<x≤1, x>x)を0.4～1μm厚程度に成長させる。さらにこの上に活性層であるn型またはp型Al_yGa_{1-y}N(0<y≤1, x>y)を0.1μm～0.4μm厚程度成長させる。組成xと組成yの値は、格子不整合を～0.1%程度とし、第1図を使つて設定する。活性層の上にp⁺型Al_xGa_{1-x}N(0<x≤1)を0.4～1μm厚程度に成長させる。p⁺型にするため実施例1で述べたアクセプター添加量をp型に比べ多くする。p⁺型Al_xGa_{1-x}N層12とn⁺型Al_xGa_{1-x}N層9の上に、第4図に示すように、In

Al_xGa_{1-x}N(0<x≤1)、13はSiO₂絶縁層、5はオーミック電極である。導電性基板上に実施例8に述べたのと同様に、9、10、11、12の各エピ膜層を形成する。さらにこの上に絶縁層としてSiO₂膜を0.15～0.3μm厚にスパッタ法により形成する。ストライプ(溝)幅は5～80μm程度にする。さらにオーミック電極5および8を第5図に示すように形成する。また実施例8と同じく、9、10をp⁺型、12をn⁺型にする構造もできる。

このダブル・ヘテロ接合素子を動作させるには、実施例8で述べたのと同様に、第5図に示す極性で直流電圧を印加して発光させる。

なお、実施例1～4のいずれの場合でも、絶縁性基板または導電性基板とGa_{1-x}NまたはAl_xGa_{1-x}N(0<x≤1)との格子不整合による歪緩和のためバッファ層としてAl_xGa_{1-x}N(x>x, 0<x<x)を入れてもよい。

以上説明したように、本発明の半導体ヘテロ接合素子は、発光素子構造としてヘテロ接合を用い

ているので、MIS構造素子に比べて動作電圧が低く、高効率の発光が可能であるという利点がある。また、 $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$) は直接遷移型であるので、SiOなどの間接遷移型に比べて高効率になる利点がある。また、ダブル・ヘテロ接合素子構造にすることにより、光の閉込め効果を大きくし、さらに効率を高めることができる利点がある。またエビ膜成長法として有機金属気相エビタキシャル法を用いると、低温プロセスで制御性がよく、量産性に優れているので、経済性の観点からも安価の素子を供給できるという利点がある。

4 図面の簡単な説明

第1図は $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$) の格子定数および光学吸収端の組成依存性と $Al_yGa_{1-y}N$ ($0 \leq y \leq 1$) の格子定数および光学吸収端の組成依存性を示す図、

第2図は本発明の絶縁性基板上に作製したシングル・ヘテロ素子の側断面図、

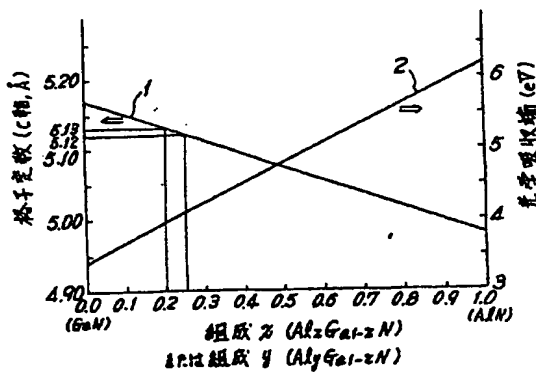
第3図は本発明の導電性基板上に作製したシングル・ヘテロ素子の側断面図、

第4図は本発明の絶縁性基板上に作製したダブル・ヘテロ素子の側断面図、

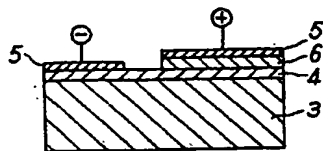
第5図は本発明の導電性基板上に作製したストライプ構造ダブル・ヘテロ素子の側断面図である。

1…格子定数組成依存線、2…光学吸収端組成依存線、3…絶縁性基板、4…n型 GaN または n 型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜、5…オーミック電極、6…p型 $Al_yGa_{1-y}N$ ($0 < y \leq 1$) 膜、7…導電性基板、8…基板側オーミック電極、9…n⁺型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜、10…n⁺型 $Al_xGa_{1-x}N$ ($0 < x \leq 1, x' > x$) 膜、11…n型またはp型の $Al_yGa_{1-y}N$ ($0 < y \leq 1, y' > y$) 膜、12…p⁺型 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 膜、13…SiO₂ 絶縁層。

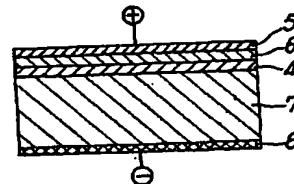
第1図



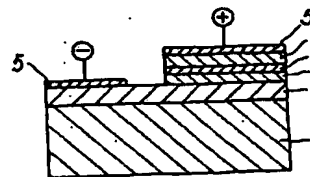
第2図



第3図



第4図



第5図

